



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020010008576 (43) Publication.Date. 20010205

(21) Application No.1019990026493 (22) Application Date. 19990702

(51) IPC Code:

H01L 21/76

(71) Applicant:

HYNIX SEMICONDUCTOR INC.

(72) Inventor:

EUN, YONG SEOK

HONG, BYEONG SEOP

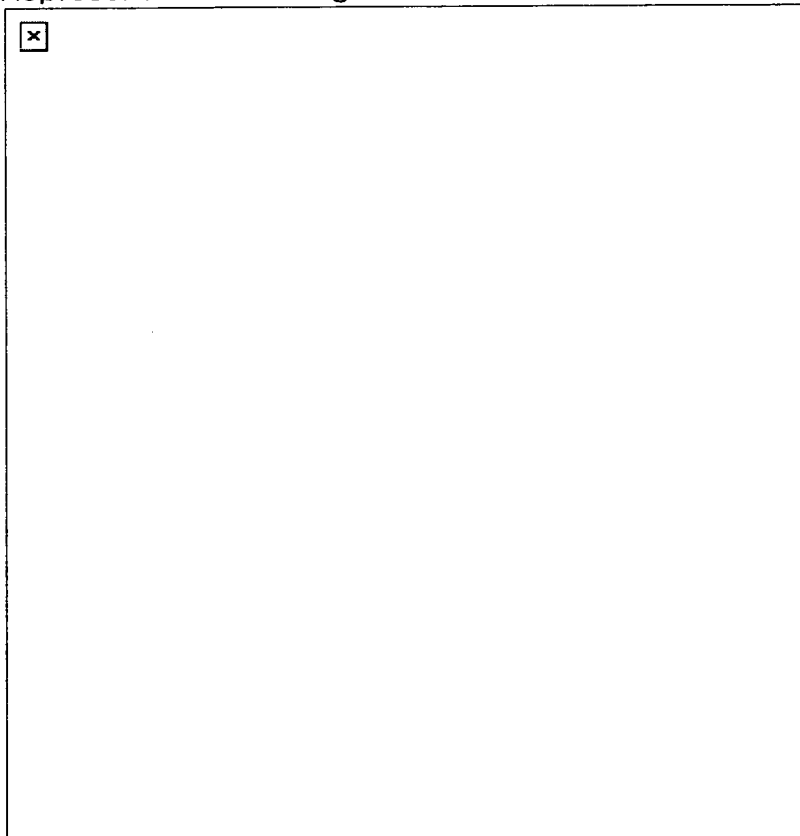
KIM, U JIN

(30) Priority:

(54) Title of Invention

METHOD FOR FORMING ISOLATION LAYER OF SEMICONDUCTOR DEVICE

Representative drawing



(57) Abstract:

PURPOSE: A method for forming an isolation layer of a semiconductor device is provided to remove a rear nitride layer by using a protective oxide layer or a gap filling oxide layer as a shield layer.

CONSTITUTION: A method for forming an isolation layer of a semiconductor device comprises the following steps. A pad oxide layer(20) and a nitride layer(30) are accumulated on a semiconductor substrate (10). A trench(40) is formed thereon by performing a masking etching. A protective oxide layer(50) is accumulated on an inner portion of the trench(40) and an upper portion of the nitride layer(30). A rear nitride layer(30a) is removed from a rear face of a wafer. A gap filling oxide layer is accumulated on a front face of the wafer in order to bury the inner portion of the trench.(40) The gap filling oxide layer is flattened by using a chemical mechanical polishing method. The

remaining nitride layer(30) is removed therefrom.

COPYRIGHT 2001 KIPO

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 21/76	(11) 공개번호 특2001-0008576
(21) 출원번호 10-1999-0026493	(43) 공개일자 2001년02월05일
(22) 출원일자 1999년07월02일	
(71) 출원인 현대전자산업 주식회사 김영환	
(72) 발명자 경기 이천시 부발읍 아미리 산136-1 김우진	
	경기도이천시대월면사동리441-1현대사원아파트102동602호 은용석
	경기도이천시대월면사동리천호아파트6-303 홍병섭
	서울특별시용산구이태원동251-69 박대진, 정은성
(74) 대리인	

심사청구 : 없음

(54) 반도체장치의 소자분리막 형성방법

요약

본 발명은, 반도체장치의 소자분리막 형성방법에 관한 것으로서, 웨이퍼의 배면에 형성되어져 있는 후면패드질화막을 웨이퍼 전면의 트렌치내에 적층되는 보호산화막 혹은 갭필링산화막을 차단막으로 하고 인산용액을 사용하여 제거하므로 웨이퍼에 휜현상에 의한 격자결함의 발생을 방지하여 누설전류의발생을 방지하여 소자의 전기적인 특성을 향상시키도록 하는 매우 유용하고 효과적인 발명이다. 그리고, 후면질화막을 선택적으로 제거함으로써 추가적으로 설비 투자 할 필요성이 없으며, 그로 인하여 제조단가를 저감할 수 있는 장점을 지닌 발명에 관한 것이다.

대표도

도 1b

색인어

트렌치 보호산화막 후면질화막 화학기계적연마법 인산용액

명세서

도면의 간단한 설명

도 1(a) 내지 도 1(e)는 본 발명의 일실시예에 따른 반도체장치의 소자분리막을 형성하는 상태를 도시한 도면이고,

도 2(a) 내지 도 2(d)는 본 발명의 다른 실시예에 따른 반도체장치의 소자분리막을 형성하는 상태를 도시한 도면이다.

도면의 주요부분에 대한 부호의 설명

10 : 반도체기판	20 : 패드산화막
20a : 후면패드산화막	30a : 후면패드질화막
30 : 질화막	40 : 트렌치
50 : 보호산화막	60 : 갭필링산화막
70 : 소자분리막	

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 STI 공정으로 소자분리막을 형성하는 방법에 관한 것으로서, 특히, 웨이퍼의 배면에 형성되어 있는 후면패드질화막을 웨이퍼 전면의 트렌치내에 적층되는 보호산화막 혹은 갭필링산화막을 차단막으로 하여 후면질화막패드를 인산용액을 사용하여 제거하므로 웨이퍼에 휨현상에 의한 격자결함의 발생을 방지하도록 하는 반도체장치의 소자분리막 형성방법에 관한 것이다.

일반적으로, 반도체기판 상에 트랜지스터와 커패시터등을 형성하기 위하여 반도체기판에는 전기적으로 통전이 가능한 활성영역(Active Region)과 전기적으로 통전되는 것을 방지하고 소자를 서로 분리하도록 하는 소자분리영역(Isolation region)을 형성하게 된다.

이와 같이, 소자를 분리시키기 위하여 패드산화막을 성장시켜 소자분리막을 형성시키기 위한 공정에는 반도체기판에 패드산화막과 질화막을 적층한 후 마스크공정으로 질화막을 식각하고 그 식각된 소자분리영역이 형성될부위에 소자분리를 형성시키는 LOCOS공정(Local Oxidation of silicon)이 있으며, 그 외에 상기 LOCOS공정의 패드산화막과 질화막 사이에 버퍼층을 하는 폴리실리콘막을 개재하여 완충역할을 하여 소자분리막을 성장시키는 PBL(Poly Buffered LOCOS)공정 등이 사용되고 있다.

또한, 반도체기판에 일정한 깊이를 갖는 트렌치(Trench)를 형성하고서 이 트렌치에 산화막을 증착시키고서 화학기계적연마공정(Chemical Mechanical Polishing)공정으로 이 산화막의 불필요한 부분을 식각하므로 소자분리영역을 반도체기판에 본 발명은 STI공정을 이용하여 소자분리막을 형성하는 새로운 공정을 제안하고 있다.

종래의 반도체장치에서 트렌치를 형성하여 소자분리막을 형성하는 상태를 개략적으로 설명하면, 반도체기판 상에 소정의 두께를 갖고서 절연을 하도록 패드산화막을 적층하고, 그 위에 상,하층간에 보호 역할을 하는 질화막을 도포하고서, 감광막을 도포하여서 식각공정을 통하여 트렌치를 형성한다.

그리고, 연속하여 상기 트렌치내에 갭필링(Gap Filling)공정으로 갭필링산화막을 충전시킨 후에 식각으로 불필요한 부분을 제거하여 소자분리막을 형성하게 되는 것이다.

한편, 일반적으로 웨이퍼에서 소자분리막을 형성하기 위하여 화학기계적연마공정 후에 질화막을 제거한 후에는 웨이퍼의 후면에 잔류되어 있는 질화막이 전면에 질화막이 제거됨으로 인하여 패창계수를 유발하여 웨이퍼가 후속공정 혹은 자체적으로 응력을 받아서 휘어지는 휨현상(Warping)을 가중하여 실리콘기판에 격자결함을 유발하게 된다.

즉, 이것은 웨이퍼의 전면에만 질화막을 증착할 수 없기 때문에 야기되는 것으로서, 현재 사용되고 있는 저압화학기상증착법(LPCVD)을 이용하게 되면 자동적으로 웨이퍼의 전, 후면에 질화막이 증착되어진다.

그러나, 전면질화막이 트렌치가 형성되면서 트렌치에치(Trench Etch)되었을 때, 소자분리영역에 해당하는 60 내지 70%의 질화막이 없어지게 된다. 따라서, 후면에 남아 있는 후면질화막의 비율로 인한 인장응력(Tensile Stress)이 크기 때문에 나중에 화학기계적연마공정으로 소자분리막을 형성한 후, 잔류된 질화막을 제거하게 되면 잔류되어 있는 인장응력에 대하여 견디지 못하고서 웨이퍼가 휘어지게 되는 문제점을 야기한다. 이는 웨이퍼에 격자결함을 유발하여 소자의 전기적인 특성을 저하시키는 등의 단점을 지닌다.

발명이 이루고자하는 기술적 과제

본 발명은 이러한 점을 감안하여 안출한 것으로서, 웨이퍼의 배면에 형성되어져 있는 후면패드질화막을 웨이퍼 전면의 트렌치내에 적층되는 보호산화막 혹은 갭필링산화막을 차단막으로 하여 후면질화막패드를 인산용액을 사용하여 제거하므로 웨이퍼에 휨현상에 의한 격자결함의 발생을 방지하도록 하는 것이 목적이다.

발명의 구성 및 작용

이러한 목적은 반도체기판 상에 패드산화막 및 질화막을 순차적으로 적층하여 마스크 식각으로 트렌치를 형성하는 단계와; 상기 트렌치 내부 및 질화막의 상부면에 보호산화막을 적층하는 단계와; 상기 보호산화막을 차단막으로 하여 웨이퍼의 후면에 적층되어져 있는 후면질화막을 제거하는 단계와; 상기 단계 후에 웨이퍼의 전면에 트렌치 내부를 매립하도록 갭필링산화막을 적층하는 단계와; 상기 단계 후에 화학기계적연마법으로 갭필링산화막을 평탄화시킨 후, 잔류된 질화막을 제거하는 단계를 포함한 반도체장치의 소자분리막 형성방법을 제공함으로써 달성된다.

그리고, 상기 보호산화막을 적층하지 않은 대신에 갭필링산화막을 적층한 후에 인산용액을 사용하여 후면질화막을 제거하도록 할 수도 있다.

상기 보호산화막의 증착은 플라즈마 증착법(Plasma Enhanced Chemical Vapor Deposition), 혹은 상압증착법(APCVD)중에 선택하여 증착하도록 한다.

그리고, 상기 후면질화막을 제거할 때, 사용하는 인산용액은 120 ℃ ~ 180℃ 온도범위에서 제거하는 것이 바람직 하다.

이하, 첨부한 도면에 의거하여 본 발명의 바람직한 일실시예에 대하여 상세히 살펴보도록 한다.

도 1(a) 내지 도 1(e)는 본 발명의 일실시예에 따른 반도체장치의 소자분리막을 형성하는 상태를 도시한 도면이다

우선, 본 발명에 따른 공정을 살펴 보면, 도 1(a)에 도시된 바와 같이, 반도체기판(10) 상에 패드산화막(20) 및 질화막(30)을 순차적으로 적층하여 마스크 식각으로 트렌치(40)를 형성하는 상태를 도시한 것으로서, 통상적으로 웨이퍼의 배면에도 후면패드산화막(20a)과 후면질화막(30a)이 동시에 형성되어진다.

도 1(b)는 상기 트렌치(40) 내부 및 질화막(30)의 상부면에 보호산화막(50)을 적층하는 상태를 도시한

것이다. 한편, 상기 보호산화막(50)의 증착은 플라즈마 증착법, 혹은 상압증착법중에 선택하여 증착하도록 한다.

도 1(c)는 상기 보호산화막(50)을 차단막으로 하여 웨이퍼의 후면에 적층되어져 있는 후면질화막(30a)을 인산용액으로 120 ℃ ~ 180℃ 온도범위에서 제거하는 상태를 도시하고 있다.

그리고, 도 1(d)는 상기 웨이퍼의 전면에 트렌치(40)내부를 매립하도록 갭필링산화막(Gap Filling Oxide)(60)을 적층하는 상태를 도시하고 있다.

도 1(d) 및 도 1(e)는 상기 단계 후에 화학기계적연마법(CMP: Chemical Mechanical Polishing)으로 갭필링산화막(60)을 평탄화시킨 후, 잔류된 질화막(30)을 제거하여 소자분리막(70)을 최종적으로 형성한 상태를 도시하고 있다.

한편, 도 2(a) 내지 도 2(d)는 본 발명의 다른 실시예에 따른 반도체장치의 소자분리막을 형성하는 상태를 도시한 도면으로서, 상기한 상기한 일실시예와 실질적으로 모든 공정이 동일하나, 상기 보호산화막(50)을 적층하지 않은 대신에 갭필링산화막(60)을 적층한 후, 인산용액을 사용하여 후면질화막(30a)을 제거하는 점에서 차이점을 지닌다.

발명의 효과

따라서, 상기한 바와 같이, 본 발명에 따른 반도체장치의 소자분리막 형성방법을 이용하게 되면, 웨이퍼의 배면에 형성되어져 있는 후면패드질화막을 웨이퍼 전면의 트렌치내에 적층되는 보호산화막 혹은 갭필링산화막을 차단막으로 하여 후면질화막패드를 인산용액을 사용하여 제거하므로 웨이퍼에 휜현상에 의한 격자결함의 발생을 억제하여 누설전류의 발생을 방지하고, 소자의 전기적인 특성을 향상시키도록 하는 매우 유용하고 효과적인 발명이다.

그리고, 후면질화막을 선택적으로 제거함으로써 추가적인 설비 투자가 필요 없으며, 그로 인하여 제조단가를 저감할 수 있는 장점을 지닌다.

(57) 청구의 범위

청구항 1

반도체기판 상에 패드산화막 및 질화막을 순차적으로 적층하여 마스크 식각으로 트렌치를 형성하는 단계와;

상기 트렌치 내부 및 질화막의 상부면에 보호산화막을 적층하는 단계와;

상기 보호산화막을 차단막으로 하여 웨이퍼의 후면에 적층되어져 있는 후면질화막을 제거하는 단계와;

상기 단계 후에 웨이퍼의 전면에 트렌치 내부를 매립하도록 갭필링산화막을 적층하는 단계와;

상기 단계 후에 화학기계적연마법으로 갭필링산화막을 평탄화시킨 후, 잔류된 질화막을 제거하는 단계를 포함한 것을 특징으로 하는 반도체장치의 소자분리막 형성방법.

청구항 2

제 1 항에 있어서, 상기 보호산화막을 적층하지 않은 대신에 갭필링산화막을 적층한 후에 인산용액을 사용하여 후면질화막을 제거하는 것을 특징으로 하는 반도체장치의 소자분리막 형성방법.

청구항 3

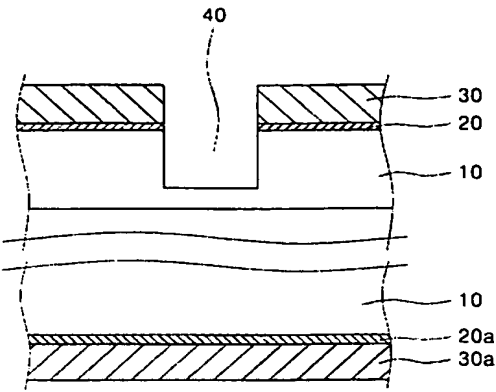
제 1 항에 있어서, 상기 보호산화막의 증착은 플라즈마 증착법, 혹은 상압증착법중에 선택하여 증착하는 것을 특징으로 하는 반도체장치의 소자분리막 형성방법.

청구항 4

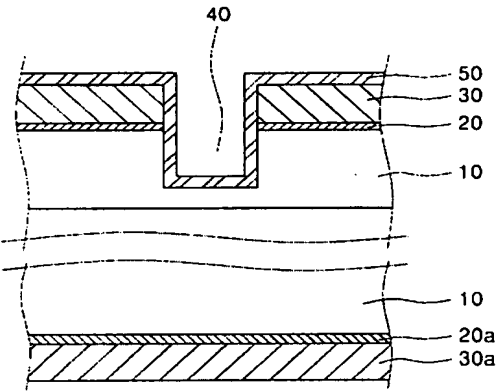
제 1 항에 있어서, 상기 후면질화막을 제거할 때, 1200 ℃ ~ 180℃ 온도범위의 인산용액을 사용하여 제거하는 것을 특징으로 하는 반도체장치의 소자분리막 형성방법.

도면

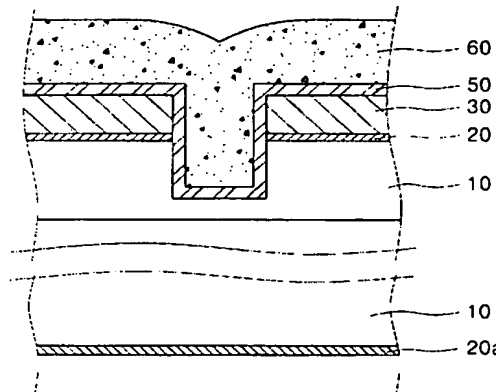
도면 1a



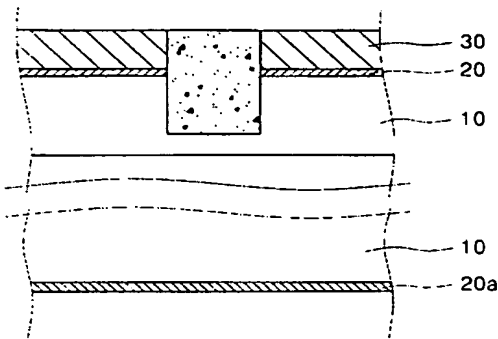
도면 1b



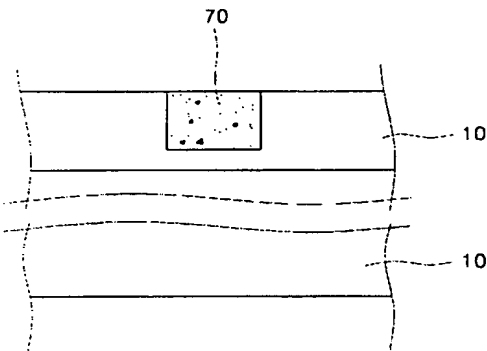
도면 1c



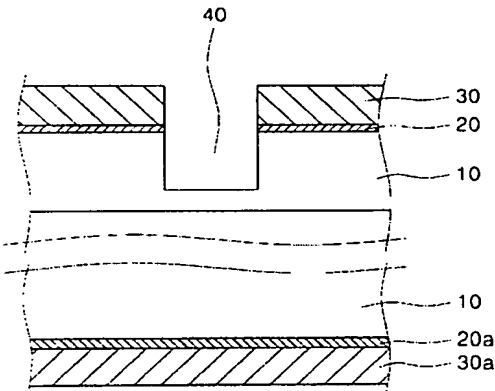
도면 1d



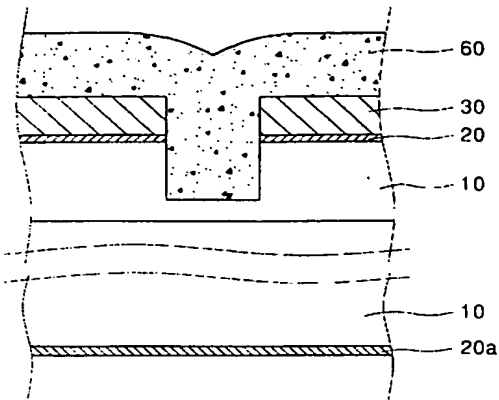
도면 1e



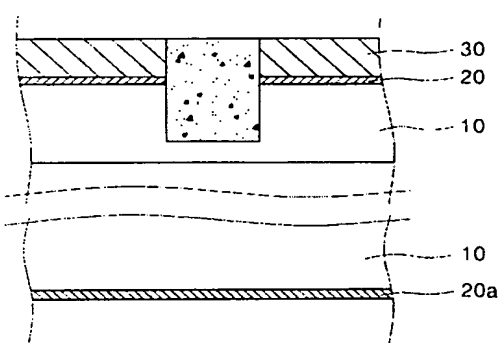
도면 2a



도면2b



도면2c



도면2d

